



-1-

Japanese Patent No. 3007745 (Tokukou 3007745)

(Date of Registration : November 26, 1999)

(A) Relevance to Claims

The following is a translation of passages related to claims 1, 2, 3, 5, 9, 10, 11, 13, 15, 19, and 22 of the present invention.

(B) Translation of Relevant Passages

RECEIVED

JAN 02 2002

Technology Center 2600

[0014]

[Means to Solve the Problems] According to the invention, ..., reference voltages produced by the reference voltage source include (i) a voltage supplied external to the LSI and (ii) a voltage derived by dividing the interval of at least two voltages supplied external to the LSI circuit by a voltage divider circuit disposed in the same LSI circuit as a driver circuit. The reference voltage is supplied to multiple driver circuits in the same LSI circuit and a voltage selected by the reference voltage selector circuit is supplied to a display through a buffer amplifier with a large input impedance and a small output impedance.

3007745

[0016] According to the invention, ..., reference voltages produced by the reference voltage source include (i) a voltage supplied external to the LSI and (ii) a voltage derived by dividing the interval of at least two voltages supplied external to the LSI circuit by a voltage divider circuit disposed in the same LSI circuit as a driver circuit. The reference voltage is supplied to multiple driver circuits in the same LSI circuit. The reference voltage selector circuit outputs a voltage corresponding to a halftone, either by selecting a single reference voltage in accordance with a digital video signal representing a halftone and passing the voltage on or by selecting two voltages and deriving an intermediary voltage between the two by voltage division. The voltage selected by the reference voltage selector circuit is supplied to a display through a buffer amplifier with a large input impedance and a small output impedance.

[0017]

[Effects] A current amplifier has a large input impedance and a small output impedance; a small current supplied to the input causes on the output a current large enough to drive the display. Therefore, the reference voltage source does not need to supply much current. A power supply with a small capacity will suffice.

[0021] Since only a small current flows through the reference voltage selector circuit intervened between the reference voltage source and the current amplifier, little voltage drop occurs even when an analog switch or other elements used have a high impedance. Output voltage is little affected.

(19) 日本国特許庁 (J P) (12) 特 許 公 報 (B 2)

(11) 特許番号
特許第3007745号
(P3007745)

(45) 発行日 平成12年2月7日(2000.2.7)

(20) 登録日 平成11年11月26日(1999.11.26)

(51) Int. Cl. ⁷	G 0 2 F 1 / 1 3 3	識別記号	F 1	G 0 2 F 1 / 1 3 3	5 2 0
----------------------------	-------------------	------	-----	-------------------	-------

請求項の数2(全 9 頁)

(21) 出願番号	特願平4-67392	(73) 特許権者	00005049 シャープ株式会社
(22) 出願日	平成4年3月25日(1992.3.25)	(72) 発明者	大塚府大阪府所轄区長池町22番22号 岡田 久夫
(65) 公開番号	特開平5-273520	(72) 発明者	大塚府大阪府所轄区長池町22番22号 シャープ株式会社
(43) 公開日	平成5年10月22日(1993.10.22)	(72) 発明者	大塚府大阪府所轄区長池町22番22号 シャープ株式会社
審査請求日	平成8年1月26日(1996.1.26)	(74) 代理人	大塚府大阪府所轄区長池町22番22号 シャープ株式会社内
審判番号	平10-10351	(74) 代理人	大塚府大阪府所轄区長池町22番22号 シャープ株式会社内
審判請求日	平成10年7月6日(1998.7.6)	(74) 代理人	大塚府大阪府所轄区長池町22番22号 シャープ株式会社内



(54) 発明の名称 表示装置の駆動回路

発明者に続く

(51) 特許請求の範囲

【請求項1】 階調を示すデジタルの映像信号に応じ、
て基準電圧の基準電圧を選択して出力する基準電圧選
択回路を備えた表示装置の駆動回路において、
該基準電圧によって生成される基準電圧は、L S I の
外部から供給される電圧と、駆動回路と同一のL S I 内
部に設けられた分圧回路によって該L S I の外部から供
給される電圧の少なくとも2つの電圧値を分圧して得ら
れる電圧とからなり、該基準電圧は同一L S I 内の複数の
の駆動回路に供給されると共に、該基準電圧選択回路に
よって選択される電圧は、入力インピーダンスが大きく
出力インピーダンスが小さいバッファアンプを介して表
示装置に供給されることを特徴とする表示装置の駆動回
路。

【請求項2】 階調を示すデジタルの映像信号に応じ

RECEIVED
JAN 02 2002
Technology Center 2600

面に供給されることを特徴とする表示装置の駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、階調を示すデジタル
の映像信号をD/A変換して階調ごとに電圧の異なるア
ナログ駆動信号を出力する表示装置の駆動回路に関す
る。

【0002】

【従来の技術】 液晶表示装置等のように応答速度の違い
表示装置で、各要素ごとにシリカに送られて来る映
像信号をソースドライバL S I の各駆動回路が一周期間
保持して出力し続けることができるようになっている。
【0003】 カラー液晶表示装置に使用されるこのよう
なソースドライバL S I の構成を図7に示す。

【0004】 R G Bの各色の映像信号は、それぞれ3ビ
ットずつのデジタルデータによって構成され、これに
よって各色ごとに8段階の階調を表示できるようになっ
ている。また、この3ビットずつのデジタルデータ
は、R G Bの各色ごとに3ビットずつ順次シリカに送ら
れて来る。

【0005】 駆動回路1は、上記映像信号におけるR G
Bの3色に对应して3個ずつ設けられ、図ではこれらを
40組、即ち120個の回路を示している。各駆動
回路1は、サンプリングパルスT_{SP}1〜T_{SP}16によっ
て3ビットのデジタルデータをそれぞれサンプリング
し保持すると共に、出力パルスO₁によってこの3ビッ
トのデジタルデータをD/A変換し、8段階の基準電
圧V₀〜V₇のいずれかの電圧を付するアナログ駆動信号
O₁〜O₁₂₀に変換して出力することができるようになっ
ている。

【0006】 上記サンプリングパルスT_{SP}1〜T_{SP}16
は、図示しないシフトクロック回路によって一定周期こ
とに発生される40個の周期のV₀〜V₇であり、この一定周期
の間に順次異なるタイミングで出力されるそれぞれのサ
ンプリングパルスT_{SP}1〜T_{SP}16が各組の3個の駆動
回路1に入力されるようになっている。従って、各組の駆
動回路1では、このサンプリングパルスT_{SP}1〜T_{SP}16
によって、R G Bの各色のデジタルデータをサン
プリングし保持する。

【0007】 また、上記出力パルスO₁は、サンプリ
ングパルスT_{SP}1〜T_{SP}16の1周期ごとに発生されるパ
ルスである。従って、全ての駆動回路1は、それぞれ
タイミングでサンプリングしたデジタルデータを、こ
の出力パルスO₁によって一斉にアナログ駆動信号O₁
〜O₁₂₀に変換し、この駆動信号O₁〜O₁₂₀の出力を改
め出力パルスO₁〜O₁₂₀が変更されるまで保持することができ
る。

【0008】 上記ソースドライバL S I における第n番
目の駆動信号O_nを出力する従来の駆動回路1を図8に
示す。

(11)

【0009】 3ビットのデジタルデータD₀〜D₂は、
サンプリングクロックT_{SP}11に入力され、サンプリ
ングパルスT_{SP}11の立ち上がり時にラッチされるよう
になっている。また、このサンプリングクロックT_{SP}11
はラッチされたデジタルデータD₀〜D₂は、出
力パルスO₁の立ち上がり時にホールドライバT_{SP}12にラ
ッチされるようになっている。従って、この
ホールドライバT_{SP}12とは、一旦ラッチしたデジ
タルデータD₀〜D₂を次の出力パルスO₁の立ち上
がり時まで出力し続けることができ、サンプリングクロ
ックT_{SP}11は、この間に次のデジタルデータD₀
〜D₂のサンプリングを行うことができる。

【0010】 上記ホールドライバT_{SP}12が出力
するデジタルデータD₀〜D₂は、デコーダ13にカ
タされるようになっている。デコーダ13は、3ビットの
デジタルデータD₀〜D₂を使用して、8つの出力のう
ち1つのみを選択する回路である。そして、このデコー
ダ13の8つの出力は、8個のアナログスイッチ14の
駆動入力にそれぞれ接続されている。従って、デコーダ
13は、入力されたデジタルデータD₀〜D₂の値に對
応する1個のアナログスイッチ14のみを選択して導通
させることになる。また、各アナログスイッチ14に
は、それぞれ8段階の電圧を有する基準電圧V₀〜V₇が
入力されると共に、これら各アナログスイッチ14の出
力が一括されて駆動回路1の出力を構成するようになっ
ている。従って、デコーダ13によって1個のアナログ
スイッチ14が選択されて導通すると、このアナログス
イッチ14を介していずれか1つの基準電圧V₀〜V₇の
みが駆動回路1から出力されることになり、これによって
D/A変換したアナログ駆動信号O_nの出力を得ること
ができる。

【0011】

【発明が解決しようとする課題】 ところが、上記従来の
駆動回路1では、基準電圧V₀〜V₇がアナログスイッ
チ14を介してそのまま表示装置に送られるので、この基
準電圧V₀〜V₇が供給する電源や駆動信号線が駆動する
ことになる。しかも、液晶表示装置等では、上記のよう
に多数の駆動回路1が一斉にアナログ駆動信号O_nを出
力するため、この駆動電流が大きくなる。

【0012】 このため、従来の駆動回路1では、基準電
圧V₀〜V₇における8段階の電圧ごとに大容量の電流
が必要となり、液晶回路が複雑かつ高価なものになる
という問題があった。しかも、映像信号の階調を示すデ
ジタルデータD₀〜D₂のビット数が増加すれば、この基準電圧の
段階数も自動的に増大する。従って、より高画質の電
流がさらに多数必要となるだけでなく、これらの駆動回路
を単純化した場合に、外部から供給する電源の入力増子
数が多くなり、また、駆動回路1のL S I の製造が不可能にな
るといった問題も生じていた。

(5)

ことができる。

【00035】図2及び図3に本発明の第1実施例を示す。図2は駆動回路のブロック図、図3は図2の駆動回路を組み合わせたソースドライバLSIのブロック図である。なお、上記図7、図8及び図1に示した従来例及び変圧器と同様の機能を有する構成部品には同じ番号を付記する。

【00036】本実施例は、カラー液晶表示装置のソースドライバLSIに用いられ、4ビットのデジタラデータを16段階のアナログ駆動信号に変換して出力する駆動回路1について説明する。

【00037】4ビットのデジタラデータD₀〜D₃は、サンプリングクロックフリップ1及びホールドフリップフロップ12を介してデコーダ13にバラレルに入力されるようになっている。そして、サンプリングフリップフロップ11及びホールドフリップフロップ12は、それぞれ4個のDフリップフロップをバラレルに配置した回路であり、また、デコーダ13も4ビットのデジタラデータD₀〜D₃を復号し16の出力を選択する回路であるという点を除き、上記図1に示した変圧器と同様の構成である。

【00038】上記デコーダ13の16の出力は、16個のアナログスィッチ14の制御入力にそれぞれ接続されている。この16個のアナログスィッチ14の入力には、それぞれ分圧回路2から供給される16段階の基準電圧V₀〜V₁₅が入れ力されるようになっている。また、この16個のアナログスィッチ14の出力は、一括されて電流増幅器15の入力に接続されている。このアナログスィッチ14及び電流増幅器15も、図1に示した第1実施例と同様のものである。そして、この電流増幅器15の出力がアナログ駆動信号O₀として駆動回路1から出力されることになる。

【00039】上記基準電圧V₀〜V₁₅は、各電圧がV₀<V₁<V₂<…<V₁₄<V₁₅の関係にあるD/A変換のためのアナログ基準電圧であり、外部の電源から供給される5種類の電圧V₀、V₄、V₈、V₁₂、V₁₅に基づき分圧回路2によって生成されたものである。分圧回路2は、15個の抵抗Rを直列に接続し、各抵抗R間のノード及びこれらの直列接続された抵抗Rの両端のノードにそれぞれ電流増幅器21を接続した回路である。そして、外部からの5種類の電圧V₀、V₄、V₈、V₁₂、V₁₅は、それぞれ電圧V₀、V₄の間、電圧V₄、V₈の間及び電圧V₈、V₁₂の間に4個の抵抗Rを介して共に、電圧V₁₂、V₁₅の間に3個の抵抗Rを介するように、これら15個の抵抗Rの直列回路に入力されるようになっていく。また、この分圧回路2における各電流増幅器21の出力が上記基準電圧V₀〜V₁₅として、駆動回路1に供給されることになる。

【00040】ソースドライバLSIは、図3に示すように、映像信号におけるRGBの3色にそれぞれ対応して

上記駆動回路1を3個ずつ1組とし、合計で40組、即ち120個構成されている。RGBの各色の映像信号は、それぞれ1ビットずつのデジタラデータによって構成され、これによって各色ごとに16段階の階調を表示できるようにになっている。また、この4ビットずつのデジタラデータは、RGBの各色ごとにそれぞれの駆動回路1に12ビットずつ順次シフトに送られるようになっている。

【00041】サンプリングクロックTSMP〜TSMPHは、図示しないシフトクロック回路によって一定周期ごとに発生される40個のバウスであり、この一定周期の間に順次異なるクイミングで出力されるそれぞれのサンプリングクロックTSMP〜TSMPHがある組の3個の駆動回路1に入力されるようになっている。従って、各組の駆動回路1では、このサンプリングクロックTSMP〜TSMPHによってRGBの各色のデジタラデータを4ビットずつ順にサンプリングし保持する。

【00042】また、出力バウスOEは、サンプリングバウスTSMPH〜TSMPHの1周期ごとに発生されるバウスである。従って、全ての駆動回路1は、それぞれのクイミングでサンプリングしたデジタラデータを、この出力バウスOEによって一斉にアナログ駆動信号O₀〜O₁₅に変換し、この駆動信号O₀〜O₁₅の出力を次の出力バウスOEが受け入れられるまで保持することができる。

【00043】分圧回路2は、全ての駆動回路1に共通して1個だけ設けられ、図2に示すように外部の電源から供給される電圧V₀、V₄、V₈、V₁₂、V₁₅に基づいて16段階の基準電圧V₀〜V₁₅を生成し、電流増幅器21を介して各駆動回路1に供給するようになっている。

【00044】上記構成の駆動回路1の動作を説明する。

【00045】図2に示すように、デジタラデータD₀〜D₃は、サンプリングクロックフリップ11でサンプリングされホールドフリップフロップ12で保持されて、デコーダ13及びアナログスィッチ14によってD/A変換され、電流増幅器15を介してアナログ駆動信号O₀として駆動回路1から出力される。そして、入力されるデジタラデータD₀〜D₃が4ビットであり、出力されるアナログ駆動信号O₀が16段階の階調を有する点以外は、上記図1に示した変圧器の場合と同様である。

【00046】ただし、本実施例では、外部の電源が供給する5種類の電圧V₀、V₄、V₈、V₁₂、V₁₅に基づいて16段階の基準電圧V₀〜V₁₅を生成する。即ち、基準電圧V₀、V₄、V₈、V₁₂、V₁₅は、外部からの電圧をそのまま出力したものであるが、基準電圧V₀〜V₁₅は、V₀〜V₄、V₄〜V₈、V₈〜V₁₂、V₁₂〜V₁₅は、それぞれ4個の抵抗Rによって分圧されたものとなる。また、基準電圧V₁₅は、3個の抵抗Rによって分圧されたものとなる。従って、これら16段階の各基準電圧V₀〜V₁₅は、5種類の電圧V₀、V₄、V₈、V₁₂、V₁₅に基づきそれぞれ

表1の値を示すことになる。

【00047】

【表1】

10進数	2進数	電圧
0	0 0 0 0	V ₀
1	0 0 0 1	$\frac{3V_0+V_4}{4}$
2	0 0 1 0	$\frac{V_0+V_4}{2}$
3	0 0 1 1	$\frac{V_0+3V_4}{4}$
4	0 1 0 0	V ₄
5	0 1 0 1	$\frac{3V_4+V_8}{4}$
6	0 1 1 0	$\frac{V_4+V_8}{2}$
7	0 1 1 1	$\frac{V_4+3V_8}{4}$
8	1 0 0 0	V ₈
9	1 0 0 1	$\frac{3V_8+V_{12}}{4}$
10	1 0 1 0	$\frac{V_8+V_{12}}{2}$
11	1 0 1 1	$\frac{V_8+3V_{12}}{4}$
12	1 1 0 0	V ₁₂
13	1 1 0 1	$\frac{2V_{12}+V_{15}}{3}$
14	1 1 1 0	$\frac{V_{12}+2V_{15}}{3}$
15	1 1 1 1	V ₁₅

【00048】そして、このようにして生成された基準電圧V₀〜V₁₅は、それぞれ電流増幅器21を介して各アナログスィッチ14に入力されることになる。

【00049】ここで、上記基準電圧V₀〜V₁₅は、分圧回路2の電流増幅器21と駆動回路1の電流増幅器15を介して出力されることになる。従って、電流増幅器21の入力にはほとんど電流を供給することなく、電流増幅器15の出力から大きな電流を取り出すことができるのである。各基準電圧V₀〜V₁₅を分圧回路2の抵抗Rで分圧して生成することが可能となる。

【00050】この結果、本実施例の場合には、基準電圧の電流増幅器が小さなもので足りるだけでなく、外部の電源から5種類の電圧V₀、V₄、V₈、V₁₂、V₁₅を供給するだけで、ソースドライバLSI内部で16段階の基準電圧V₀〜V₁₅を生成することができるようになる。LSIの入力増子数を削減することができるようになる。即ち、図1に示した変圧器では、8段階の基準電圧V₀〜V₇で足りたが、本実施例のように16段階の

(6)

基準電圧V₀〜V₁₅を使用する場合には、そのままではこの基準電圧V₀〜V₁₅の入力のために16の入力増子が必要となる。そして、さらにデジタラデータのビット数を増やすと、階調数も指数的に増加することになり、それに応じた数の入力増子を設けることは、現実にはほとんど不可能となる。このため、本実施例のようにして外部から電流が供給する電圧の個数を少なくすることができれば、入力増子数を節約することなく、多数ビットによる豊富な階調の映像信号を取り扱うソースドライバLSIを作成できるようになる。

【00051】なお、本実施例では、分圧回路2における各基準電圧V₀〜V₁₅の電流増幅器15の入力インピーダンスが十分に大きい場合には、これらの電流増幅器21を省略することもできる。

【00052】図4及び図6に本発明の第2実施例を示す。図4は駆動回路のブロック図、図5及び図6はそれぞれ16個のアナログスィッチのON断における等価回路である。なお、上記図7、図8及び図1〜図3に示した従来例、変圧器及び本実施例と同様の機能を有する構成部品には同じ番号を付記する。

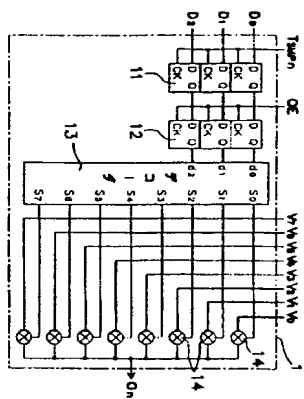
【00053】本実施例は、図1に示した変圧器と同様に、カラー液晶表示装置のソースドライバLSIに用いられ、4ビットのデジタラデータを8段階のアナログ駆動信号に変換して出力する駆動回路1について説明する。

【00054】3ビットのデジタラデータD₀〜D₂は、図1に示した変圧器と同様に、サンプリングクロックフリップ11及びホールドフリップフロップ12を介してデコーダ13にバラレルに入力されるようになっている。

【00055】ただし、本実施例のデコーダ13は、5つの出力によって構成され、デジタラデータD₀〜D₂の値に対応して出力を1つ又は2つだけ“1”とするようになっている。従って、このデコーダ13の出力に制御入力が接続されるアナログスィッチ14も5個設けられ、各アナログスィッチ14には、5種類の基準電圧V₀、V₄、V₈、V₁₂、V₁₅がそれぞれ入れ力されるようになっている。そして、デジタラデータD₀〜D₂がデコーダ13に入力されると、1個又は2個のアナログスィッチ14が導通して5種類の基準電圧V₀、V₄、V₈、V₁₂、V₁₅のいずれか1又は2個線を出力することになる。

【00056】また、上記各アナログスィッチ14は、ON抵抗が共に抵抗Rとして等しくなるように形成されているが、基準電圧V₀〜V₁₅を供給するアナログスィッチ14のON抵抗が2倍の抵抗値R2となるように形成されている。そして、この5個のアナログスィッチ14の出力は、一括されて電流増幅器15の入力に接続され、この電流増幅器15の出力がアナログ駆動信号O₀として

【图8】



(56) 参考文献

特開	平 4 - 107594 (J P, A)
特開	平 3 - 221589 (J P, A)
特開	平 2 - 130586 (J P, A)

特開 平2-130585 (JP, A)